

# Diseño de Doble Generador de RF Orientado al Desarrollo de un VNA

Dual RF generator design oriented towards the development of a VNA

Leonardo David Vazquez <sup>#1</sup>, Brian Maximiliano Gluzman <sup>#2</sup>, Ramiro Avalos Ribas <sup>#3</sup>, Alejandro José Uriz <sup>#4</sup>,  
Victoria Carla Torres <sup>#5</sup>

<sup>#</sup> *Laboratorio de Comunicaciones, Universidad Nacional de Mar del Plata  
Juan B. Justo 4302 - Mar del Plata - Argentina*

<sup>1</sup> leonardo.vazquez@alumnos.fi.mdp.edu.ar

<sup>2</sup> briangluzman@mdp.edu.ar

<sup>3</sup> avalosribas@fi.mdp.edu.ar

<sup>4</sup> ajuriz@fi.mdp.edu.ar

<sup>5</sup> victoriatorres@mdp.edu.ar

Received: 2026-04-24 ; Accepted: 2026-03-06

**Resumen**— Se presenta el diseño y fabricación de un doble generador de radiofrecuencia con rango de operación entre 40 MHz y 4,4 GHz, orientado al desarrollo de analizadores vectoriales de redes (VNA). El sistema está basado en dos sintetizadores ADF4351 que comparten una referencia externa de 10 MHz, permitiendo generar señales independientes o coherentes en frecuencia según la arquitectura requerida. Esta característica habilita su utilización en configuraciones homodinas y heterodinas, sin necesidad de hardware adicional de sincronización. Se describen las principales consideraciones de diseño electrónico y de layout en alta frecuencia, incluyendo la implementación de líneas coplanares, técnicas de confinamiento mediante *via fencing* y criterios de desacople y distribución de masa. El módulo desarrollado constituye una solución modular, de bajo costo y replicable, adecuada para aplicaciones académicas y de investigación en instrumentación.

**Palabras clave:** Generador de RF; coplanar; *via fencing*; VNA; ADF4351.

**Abstract** — This paper presents the design and fabrication of a dual radio frequency generator with an operating range between 40 MHz and 4.4 GHz, intended for the development of vector network analyzers (VNAs). The system is based on two ADF4351 synthesizers that share a 10 MHz external reference, allowing the generation of independent or frequency-coherent signals depending on the required architecture. This feature enables its use in homodyne and heterodyne configurations without the need for additional synchronization hardware. The main electronic design and high-frequency layout considerations are described, including the implementation of coplanar lines, confinement techniques using *via fencing*, and decoupling and mass distribution criteria. The developed module constitutes a modular, low-cost, and replicable solution suitable for academic and research applications in instrumentation.

**Keywords:** RF generator; coplanar; *via fencing*; VNA; ADF4351.

## I. INTRODUCCIÓN

Los analizadores vectoriales de redes (Vector Network Analyzer, VNA) constituyen instrumentos fundamentales en el ámbito de la ingeniería electrónica y de microondas, ya que permiten la caracterización completa en magnitud y fase de dispositivos de uno o múltiples puertos [1]. Funcionan mediante la generación de una señal de prueba, la cual se inyecta en el sistema a caracterizar para medir las señales que salen por cada uno de sus puertos. Al compararlas con la señal incidente, en magnitud y fase, se calculan los parámetros S que describen el funcionamiento del sistema en esa frecuencia [2]. Un VNA debe ser capaz de operar en un rango amplio de frecuencias, que además pueden llegar a los GHz. Por lo tanto, es conveniente contar con dos generadores de frecuencia programable: uno para sintetizar la señal de prueba, y otro que obre de oscilador local, para mezclarse con la señal a medir y bajarla a una frecuencia intermedia para hacer la comparación de magnitud y fase.

En este trabajo se presenta el diseño y desarrollo de un circuito impreso (PCB) que integra dos generadores de radiofrecuencia programables, con capacidad de operación en el rango comprendido entre 40 MHz y 4,4 GHz. El módulo propuesto está orientado a su utilización como bloque funcional dentro de un sistema de medición más complejo, particularmente en arquitecturas de VNA tanto heterodinas como homodinas [3,4]. La arquitectura dual implementada permite generar y configurar dos señales de RF independientes, operando con una referencia de frecuencia común. Esta característica garantiza coherencia espectral y estabilidad relativa entre generadores, condición esencial en

aplicaciones de medición vectorial donde la precisión en fase y frecuencia resulta crítica. El uso de una referencia común a ambos generadores habilita, además, configuraciones flexibles sin requerir hardware adicional, favoreciendo el diseño modular del sistema completo.

El trabajo se organiza de la siguiente manera: la Sección II describe el principio de funcionamiento de los generadores de RF. La Sección III aborda las consideraciones de diseño electrónico y del PCB. En la Sección IV se presenta la fabricación y ensamblado del dispositivo. Finalmente, la Sección V presenta las conclusiones y líneas de trabajo futuro.

## II. PRINCIPIO DE FUNCIONAMIENTO DEL GENERADOR

El doble generador de RF propuesto emplea dos sintetizadores de frecuencia ADF4351, un chip por generador [5]. Cada sintetizador posee un lazo de enganche de fase (PLL) fraccionario con oscilador controlado por tensión (VCO) interno, lo que permite configurar frecuencias de salida en el rango comprendido entre 40 MHz y 4,4 GHz, con una potencia máxima de +5 dBm.

Internamente, cada chip posee 6 registros de configuración programables mediante interfaz serie, los cuales se emplean, entre otras funciones, para seleccionar la frecuencia (divisores, multiplicadores) y la potencia de salida de la señal de RF deseada.

El funcionamiento del generador está basado en el principio PLL, el cual emplea un comparador de fase y frecuencia (PFD) en conjunto con un oscilador controlado por tensión (VCO), un arreglo de divisores y un filtro externo. El sistema ajusta automáticamente la frecuencia del VCO hasta cumplir la condición de enganche, es decir, cuando la frecuencia dividida del VCO coincide en fase y frecuencia con la señal de referencia aplicada al detector. En la Figura 1 se puede ver un modelo en bloques del PLL.

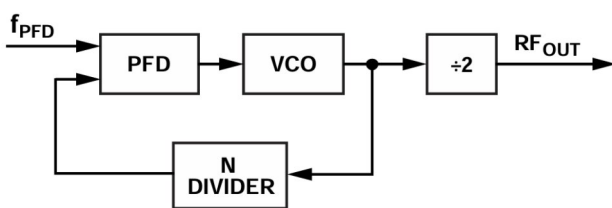


Fig. 1. Lazo de enganche de Fase del ADF4351.

La frecuencia de salida de cada sintetizador se determina en base a las siguientes ecuaciones:

$$f_{RF} = \left( INT + \frac{FRAC}{MOD} \right) * \frac{f_{pfd}}{DIV} \quad (1)$$

$$f_{pfd} = REF_{in} \frac{1+D}{R(1+T)} \quad (2)$$

A continuación, en la Tabla I, se detallan los parámetros involucrados en las ecuaciones 1 y 2.

TABLA I  
 PARÁMETROS ASOCIADOS AL SINTETIZADOR

f <sub>RF</sub>	Frecuencia de salida de RF
INT	Factor de división entera
FRAC	Numerador de la división fraccionaria. (0 a MOD-1)
MOD	Denominador de la división fraccionaria. (2 a 4095)
DIV	Divisor de la salida que divide la frecuencia del VCO. (1, 2, 4, 8, 16, 32 o 64)
f <sub>pfd</sub>	Frecuencia de entrada del detector de fase
REF <sub>in</sub>	Frecuencia de la señal de referencia (para este trabajo se emplea un oscilador de 10 MHz externo)
D	Duplicador de la frecuencia de entrada. (0 o 1)
R	Factor de división de referencia. (1 a 1023)
T	Factor de división por dos de la referencia. (0 o 1)

La arquitectura dual propuesta resulta particularmente adecuada para aplicaciones en analizadores vectoriales de redes. Durante un barrido en frecuencia, cada generador debe actualizar dinámicamente su configuración manteniendo, según la arquitectura implementada, una separación de frecuencia constante (esquema heterodino) o bien operar a la misma frecuencia con posibilidad de control relativo de fase (esquema homodino).

En consecuencia, el firmware del microcontrolador debe calcular automáticamente los valores de cada frecuencia (INT, FRAC, MOD y DIV) para cada punto del barrido configurado por el usuario. La programación de los registros se realiza mediante interfaz SPI, empleando las señales CLK (Serial Clock), DATA (Serial Data) y LE (Latch Enable). La comunicación es unidireccional.

Adicionalmente, cada sintetizador cuenta con un pin CE (Chip Enable) que se emplea para habilitar el funcionamiento del sintetizador. Cuando CE se encuentra en un nivel bajo, el dispositivo permanece en estado de bajo consumo con el VCO deshabilitado. La activación simultánea de CE en ambos generadores permite sincronizar el inicio del proceso de enganche del PLL.

## III. DISEÑO

En la Figura 2 se muestra un esquema del doble generador. Se visualizan los dos sintetizadores ADF4351, cada uno con su correspondiente interfaz de programación, y un oscilador de referencia de 10 MHz compartido entre ambos dispositivos.

La decisión de utilizar una referencia común permite garantizar coherencia en frecuencia y estabilidad relativa entre generadores, condición esencial para la implementación de arquitecturas de VNA homodinas, donde la relación de fase entre señales debe mantenerse estable durante todo el barrido en frecuencia.

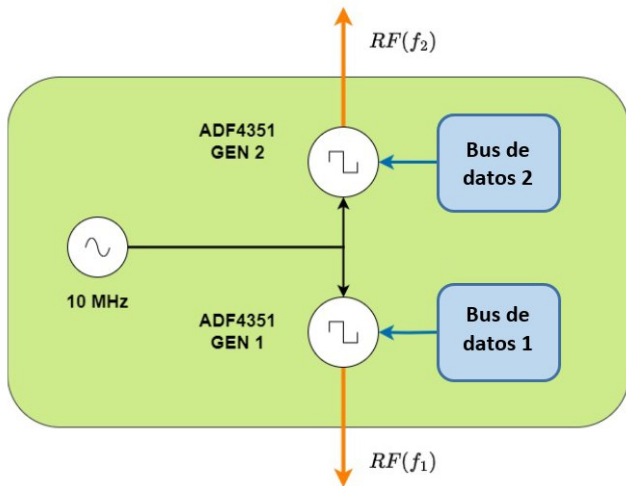


Fig. 2. Esquema del doble generador.

A. Esquemáticos

Para la generación de la señal de referencia se implementó un oscilador con cristal de 10 MHz y transistores TBJ NPN 2N3904 [6]. El esquema incluye un seguidor de tensión cuya función es aumentar la ganancia de la señal. En la Figura 3 se puede ver un esquemático del oscilador.

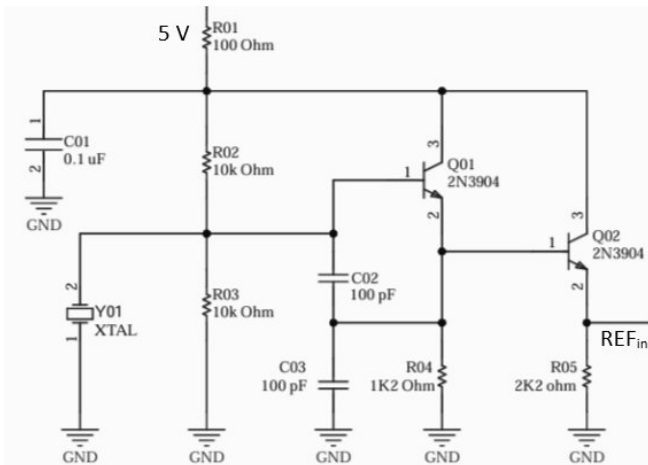


Fig. 3. Esquema del oscilador. Donde REF in es la salida de 10 MHz.

La salida de este oscilador de referencia se conecta a la entrada de cada uno de los ADF4351 mediante desacople de continua (capacitores).

En la Figura 4 se muestra la configuración elegida para el PLL del sintetizador, fundamentada en las hojas de datos y la documentación del fabricante [5][7]. Se implementó un filtro de lazo externo conforme a las pautas de diseño sugeridas para asegurar estabilidad y bajo ruido de fase.

Si bien el ADF4351 dispone de dos salidas diferenciales, en este trabajo se utiliza una etapa de salida desbalanceada, en donde uno de los pines se utiliza como salida de RF y al otro se lo conecta a una resistencia de 50 Ω. Esto permite mantener el ancho de banda máximo, pero implica dividir la potencia en dos, es decir, que la potencia disponible cae 3dB: de +5dBm a +2dBm. Ambos generadores son equivalentes.

Se descartó la utilización de un balun, sea LC o comercial, para balancear la salida, dado que su ancho de banda de operación limitaría el rango de funcionamiento del dispositivo respecto a la alternativa desbalanceada.

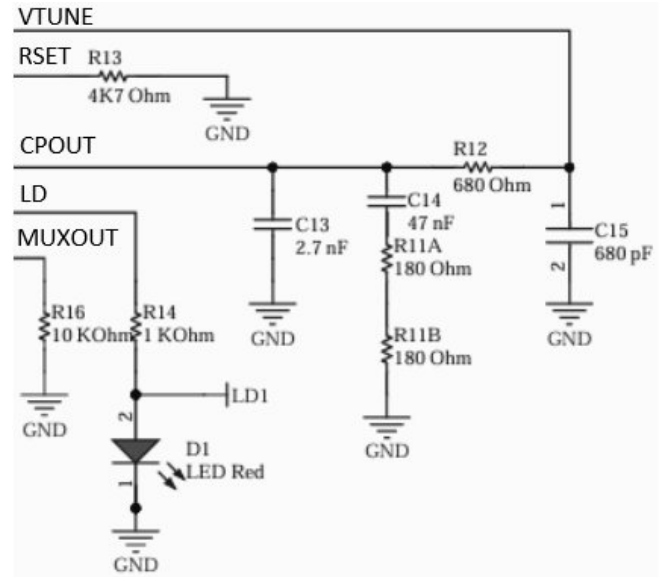


Fig. 4. Configuración PLL. Donde VTUNE es la entrada de control de VCO, RSET fija la corriente de la bomba de carga, CPOUT es la salida de la bomba de carga, LD indica si el PLL está enganchado y MUXOUT permite observar señales internas.

Por otro lado, cada bus de datos para la programación de los registros consta de una línea de sincronización de reloj CLK (de 20 MHz), una línea de datos DATA y dos líneas, CE (negada) y LE, las cuales son para la habilitación del chip y para la habilitación de carga de registros, respectivamente. Estas líneas son independientes entre cada chip, es decir, que hay 4 líneas por ADF4351.

Los capacitores de desacople fueron ubicados a mínima distancia de los pines de alimentación del ADF4351 para reducir la inductancia parásita y minimizar la inyección de ruido en el VCO interno.

En cuanto a la alimentación, cada sintetizador necesita de una fuente estable de 3,3 V, con un consumo aproximado de 100 mA cada uno. Dado que se dispone de fuentes de 5 V, se emplea el circuito integrado de regulación lineal UA78M33 [8] para bajar a 3,3 V con una capacidad máxima de 500 mA, la cual es suficiente para el oscilador de referencia y los dos generadores ADF4351.

B. PCB

Para el diseño del PCB se optó por el material dieléctrico FR4 de doble faz, con espesor de 1,6 mm y constante dieléctrica 4,4. Se eligió este material por su bajo costo y amplia disponibilidad en el mercado local, aceptando su tangente de pérdida y sus variaciones en la constante dieléctrica a frecuencias mayores a los 2 GHz [9].

Dado el rango de frecuencia de operación deseado, se aplicaron rigurosos criterios de diseño en alta frecuencia,

como la disposición de los componentes SMD y el empleo de reglas para la mitigación de efectos indeseados, como es la propia interferencia generada por los múltiples caminos de retorno de corrientes, las inductancias parásitas, las autoresonancias, entre otros problemas.

Las líneas de transmisión para la etapa de salida se diseñaron con tecnología coplanar con plano de masa lateral, complementadas con técnicas de via stitching y via fencing para confinar el campo electromagnético y mejorar el control de la impedancia (Figura 5) [10]. El ancho de los trazos se calculó con herramientas de cálculo integradas en Altium Designer [11], teniendo en cuenta la impedancia característica deseada ( $50 \Omega$ ), las características del material dieléctrico (constante dieléctrica, espesor) y la separación con respecto a planos de masa [12].

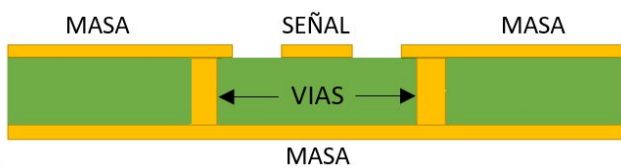


Fig. 5. Línea coplanar con plano de masa y vias.

En la Figura 6 se presenta el PCB, con dimensiones de 6,6 cm x 7,9 cm. Se puede observar que los componentes pasivos asociados al ADF4351, particularmente los capacitores de desacople y el filtro del lazo PLL, fueron ubicados a mínima distancia de los pines correspondientes con el fin de reducir inductancias y capacitancias parásitas. A frecuencias del orden del GHz, pequeñas longitudes innecesarias de pista podrían modificar la respuesta en frecuencia y degradar el desempeño espectral del sintetizador.

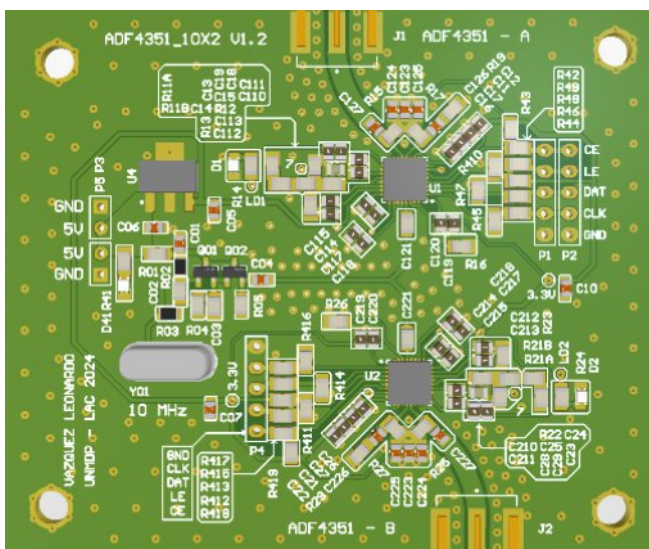


Fig. 6. Diseño en PCB de los generadores de RF. Altium Designer (licencia estudiantil).

Por otro lado, se puede observar que el PCB incluye múltiples vias que interconectan los planos de masa, con una mayor densidad en proximidad a las líneas de transmisión

(pistas de mayor ancho). Esto permite garantizar igualdad de potencial entre los planos de masa y evitar acoplamientos de las señales en el interior del sustrato.

Si bien no se observa en la Figura 7, debajo de cada ADF4351 también se colocaron múltiples vias, las cuales cumplen la función de reducir la impedancia entre los planos de referencia y mejorar la disipación térmica hacia el plano de masa inferior. Esto mejora la estabilidad del VCO y reduce el acople espurio entre generadores.

#### IV. FABRICACIÓN Y ENSAMBLADO DEL PCB

En la Figura 7 se observa el circuito impreso fabricado por una empresa nacional, con máscara antisoldante y con los componentes soldados por los autores. El sustrato FR4 utilizado cuenta con espesor de cobre de  $35 \mu\text{m}$ .

Los sintetizadores ADF4351 presentan encapsulado LFCSP (Lead Frame Chip Scale Package) con pad térmico expuesto en la parte inferior. Este pad debe soldarse directamente al plano de masa del PCB para asegurar una adecuada disipación térmica y baja impedancia entre los planos de referencia, principalmente en altas frecuencias.

El proceso de ensamblado de los encapsulados sintetizadores se realizó mediante aplicación de pasta de soldar, precalentamiento de la placa y posterior utilización de estación de aire caliente para lograr el reflow del componente. Esta metodología permitió garantizar la correcta soldadura del pad térmico central y de los pads periféricos simultáneamente. El resto de los componentes fue soldado manualmente utilizando estación de soldado convencional. Durante el proceso se prestó especial atención a la limpieza de residuos de flux y a la inspección visual bajo aumento, a fin de evitar cortocircuitos o soldaduras frías que pudieran afectar el desempeño.

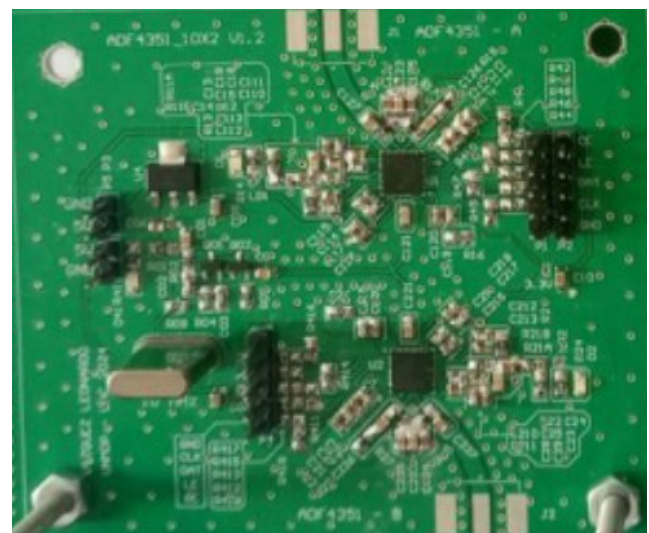


Fig. 7. PCB con los componentes soldados.

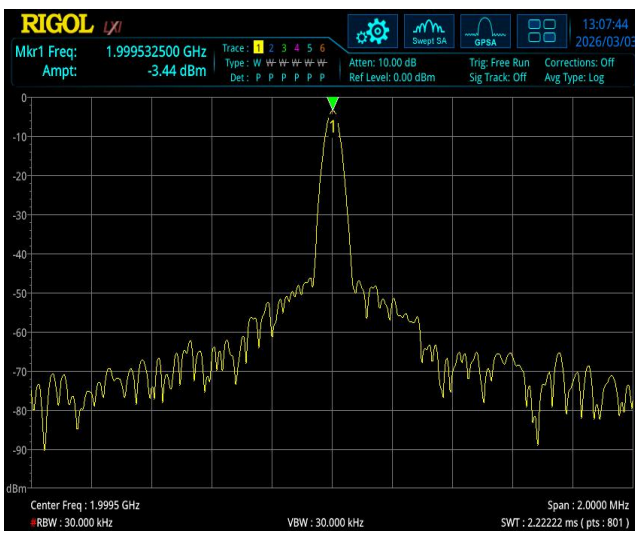
#### V. MEDICIONES

Para verificar el funcionamiento del dispositivo, se generaron dos señales independientes: una a 2 GHz y la otra

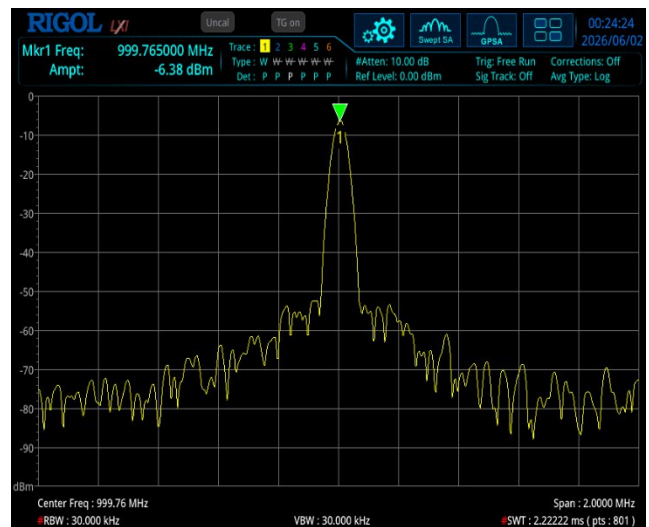
a 2,0001 GHz (100 kHz por encima). En la Figura 8 se presentan los espectros obtenidos a la salida de cada sintetizador, medidos con un Rigol RSA3030N en modo analizador de espectros [13]. Las mediciones se realizaron a temperatura ambiente de aproximadamente 20°. Se observa que las componentes fundamentales se ubican en las frecuencias programadas, con un desvío relativo de aproximadamente 234 ppm respecto del valor nominal, mientras que la separación en frecuencia entre ambas señales es de 100 kHz, en concordancia con la configuración establecida. Este ensayo valida la aplicabilidad del circuito propuesto para generar señales de microondas muy levemente espaciadas, necesarias para configurar un receptor heterodino con frecuencia intermedia en el rango de audio.

Con el objetivo de identificar el origen del desvío observado en la frecuencia de salida, se midió la señal de referencia (REFin) en el pin 29 del ADF4351 utilizando un frecuencímetro Optoelectronics Model 2810. La frecuencia medida fue de 9,9976 MHz, en lugar de los 10 MHz nominales. Esta diferencia corresponde a un desvío de aproximadamente 240 ppm, valor que coincide con el error observado en las señales generadas. Por lo tanto, puede concluirse que la principal fuente de error en la frecuencia de salida es el circuito de referencia utilizado por el sintetizador.

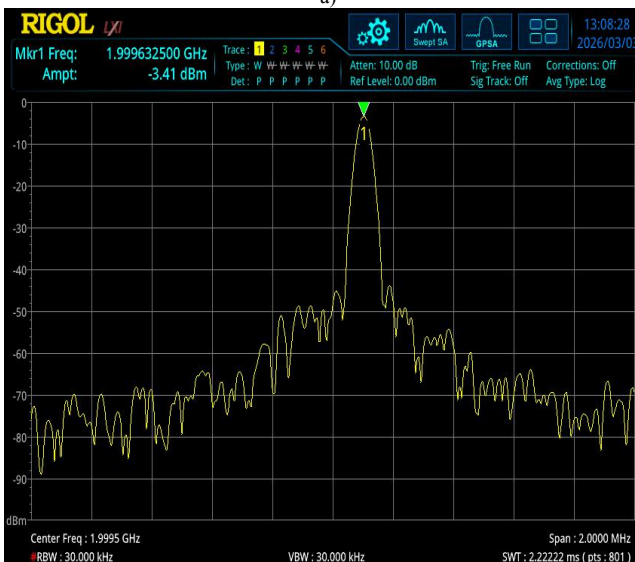
Adicionalmente para corroborar el funcionamiento del doble generador en otras frecuencias se realizaron mediciones en 1 GHz, 1,0001 GHz, 2,7 GHz y 2,7001 GHz, las cuales se pueden ver en las Figuras 9 y 10.



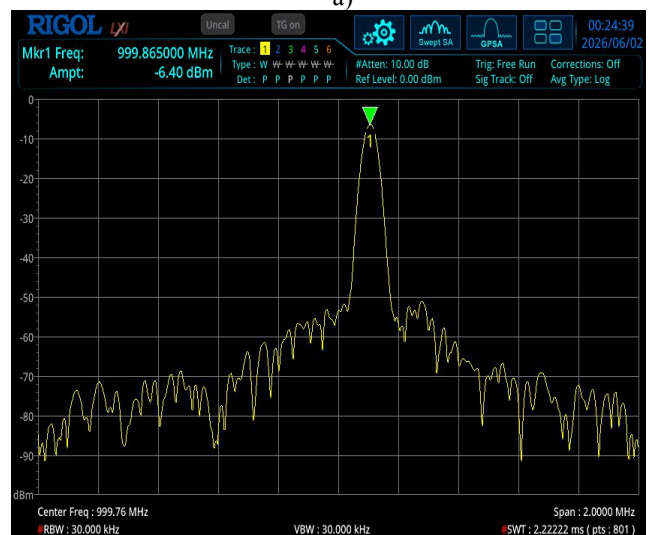
a)



a)



b)



b)

Fig. 8. Mediciones del dispositivo. a) sintetizador programado en 2 GHz mide 1,9995325 GHz. b) sintetizador programado en 2,0001 GHz mide 1,9996325 GHz.

Fig. 9. Mediciones del dispositivo. a) sintetizador programado en 1 GHz mide 0,999765 GHz. b) sintetizador programado en 1,0001 GHz mide 0,999865 GHz.

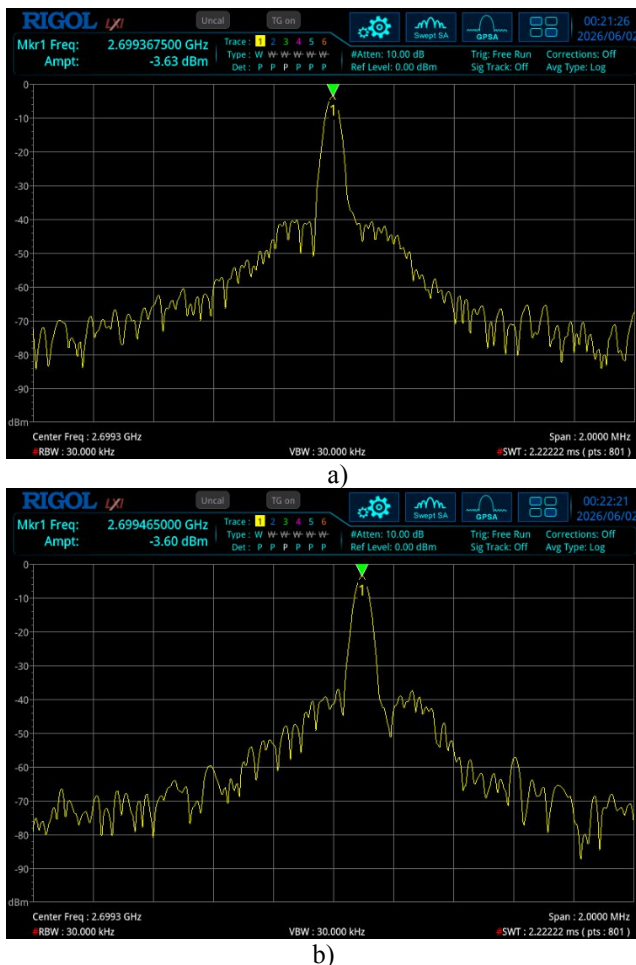


Fig. 10. Mediciones del dispositivo. a) sintetizador programado en 2,7 GHz mide 2,6993675 GHz. b) sintetizador programado en 2,7001 GHz mide 2,699465 GHz.

## VI. CONCLUSIONES Y TRABAJOS FUTUROS

En este trabajo se presentó el diseño y fabricación de un doble generador de RF basado en sintetizadores ADF4351, orientado al desarrollo de un VNA de arquitectura flexible. El sistema permite operar en el rango de 40 MHz a 4,4 GHz compartiendo una referencia común de 10 MHz, lo que habilita configuraciones homodinas y heterodinas.

El diseño del PCB en tecnología FR4, con líneas coplanares y técnicas de mitigación de interferencia como via fencing y plano de masa continuo, constituye una solución de bajo costo, reproducible y adecuada para entornos académicos.

Como posible mejora, se plantea la utilización de sustratos especializados para altas frecuencias como los basados en Rogers [14], que presentan menores tangentes de pérdidas y una constante dieléctrica más estable en frecuencias superiores a los 2 GHz. Sin embargo, su alto costo y limitada disponibilidad en el mercado local representan una restricción relevante en desarrollos académicos de bajo

presupuesto. Asimismo, considerando que el principal error observado en la frecuencia de salida se atribuyó al oscilador de referencia, se propone reemplazar el dispositivo actualmente utilizado por un oscilador ECS-2200X [15], con el objetivo de mejorar la estabilidad y exactitud de la referencia de frecuencia y, en consecuencia, reducir el desvío de las señales generadas.

El alcance de este trabajo se limita al diseño y fabricación del hardware del generador dual. Como línea de trabajo futuro se propone la integración del módulo desarrollado dentro de la arquitectura completa de un VNA.

## DECLARACIÓN DE CONTRIBUCIÓN DE AUTORÍA Y CRÉDITOS

**L. Vazquez:** Análisis formal, curaduría de datos, escritura, investigación, metodología, software, validación, visualización. **B. Gluzman:** Administración del proyecto, conceptualización, escritura, revisión y edición, metodología, redacción – borrador original, supervisión, validación y visualización. **R. Ribas:** Administración del Proyecto, conceptualización, escritura, revisión y edición. metodología, recursos, supervisión y validación. **A. Uriz:** Administración del Proyecto, Adquisición de fondos, conceptualización, revisión y recursos. **V. Torres:** revisión, investigación y software.

## REFERENCIAS

- [1] “Principio de funcionamiento del Analizador de Red Vectorial”. Disponible en: <https://coppermountaintech.com/es/conceptos-basicos-de-analizador-de-redes-vectoriales/> 6 de abril del 2026.
- [2] D. M. Pozar, *Microwave Engineering*, Fourth Edition. John Wiley & Sons, Ltd, 2012.
- [3] J. C. d. C. Dias, “Vector network analyser – signal generation”, Master Tesis, Instituto Superior Técnico, Lisboa, Portugal, 2016. [Online]. Disponible en: <https://fenix.tecnico.ulisboa.pt/downloadFile/281870113703178/Disertacao.pdf>
- [4] R. Peter and G. Fischerauer, “Homodyne Vector Network Analysis as a Tool for the Real-Time Measurement of Electrical Material Parameter Distributions in the Field,” in Proc. 20th GMA/ITG-Fachtagung Sensoren und Messsysteme, 2019, pp. 462–468. doi: 10.5162/sensoren2019/5.4.4
- [5] “ADF4351 data sheet,” Analog Devices, Massachusetts, Estados Unidos.
- [6] “2N3904 data sheet,” ON Semiconductor, Arizona, Estados Unidos.
- [7] (2026) Evaluation Board for the ADF4351 Fractional-N PLL Frequency Synthesizer.[Online]. Disponible en: <https://www.analog.com/media/en/technical-documentation/user-guides/ug-435.pdf>
- [8] “UA78M33 data sheet,” Texas Instruments, Texas, Estados Unidos.
- [9] (2026) Guía de materiales de PCB FR4: propiedades, tipos y aplicaciones. [Online]. Disponible en: <https://pcbassembly.com/es/blog/gu%C3%ADa-de-fr4/>
- [10] (2026) Altium. Via Stitching and Via Shielding in PCB Design.[Online]. Disponible en: <https://www.altium.com/documentation/altium-designer/pcb/via-stitching-via-shielding>
- [11] (2026) Altium designer. [Online]. Disponible en: <https://www.altium.com/es/altium-designer>
- [12] B. Wadell. *Transmission line design handbook*, Artech House, Inc. 1991.

- [13] (2026) Rigol RSA3030N 3GHz Real-Time Spectrum Analyser with VNA. [Online]. Disponible en: <https://www.rigol-uk.co.uk/product/rigol-rsa3030n-3ghz-real-time-spectrum-analyser/>
- [14] (2026) PCB Rogers vs PCB FR4: características, ventajas y aplicaciones. [Online]. Disponible en: <https://www.viasion.com/es/blog/rogers-pcb-vs-fr4-pcb-features-advantages-and-applications/>
- [15] “ECS-2200X data sheet,” ECS Inc. International, Kansas, Estados Unidos.