

# Plataforma experimental para estudio del efecto de PRNGs en sistemas ADC Time-Interleaved aleatorios

Experimental Platform for Studying the Effect of PRNGs in Random Time-Interleaved ADC Systems

Ezequiel Rodriguez\*†, Matias Medina\*†, Lucas A. Rabioglio\*†, Celeste Cebedio\*†, L. De Micco\*†‡

\**Instituto de Investigaciones Científicas y Tecnológicas en Electrónica (ICYTE)*

†*Facultad de Ingeniería, Universidad Nacional de Mar del Plata (FI-UNMDP)*

‡*Consejo Nacional de Investigaciones Científicas y Técnicas (CONICET)*  
 Argentina

{edrodriguez, mmedina, lucas.rabioglio, celestecebedio, ldemicco}@fi.mdp.edu.ar

Received: 2025-12-25 ; Accepted: 2025-03-09

**Resumen**—Este trabajo describe el diseño e implementación de un banco de prueba experimental orientado a analizar el efecto que la aleatoriedad de las secuencias de selección de canal, ejerce sobre el Rango Dinámico Libre de Espurias (SFDR, Spurious-Free Dynamic Range) en arquitecturas de muestreo time-interleaved.

El sistema está compuesto por la lógica de control implementada en una FPGA DE0-Nano, junto con una interfaz de PC que permite enviar a la placa secuencias pseudoaleatorias generadas por el usuario y controlar la cantidad de muestras adquiridas. Además, se desarrolla en VHDL la estructura necesaria para almacenar las muestras en la memoria SDRAM integrada en la DE0-Nano y realizar parte del procesamiento de datos. En conjunto, este banco de prueba constituye una plataforma eficiente para la evaluación del SFDR.

**Palabras clave:** FPGA; VHDL; SFDR; PRNG; Time-Interleaving.

**Abstract**—This work presents the design and implementation of an experimental test platform aimed at analyzing how the randomness of channel-selection sequences affects the Spurious-Free Dynamic Range (SFDR) in time-interleaved sampling architectures.

The system is composed of the control logic implemented on a DE0-Nano FPGA, together with a PC interface that allows users to upload pseudo-random sequences to the acquisition board and configure the number of samples to be captured. In addition, the required VHDL structures are developed to store the samples in the on-board SDRAM memory of the DE0-Nano and to perform part of the data processing. Together, this test platform provides an efficient tool for evaluating SFDR.

**Keywords:** FPGA; VHDL; SFDR; PRNG; Time-Interleaving.

## I. INTRODUCCIÓN

La demanda de velocidades, cada vez mayores, para la adquisición de señales en diversos ámbitos de la electrónica dio lugar al desarrollo de diversas técnicas aplicadas a los esquemas de adquisición y muestreo. Entre las técnicas

más destacadas y novedosas, se encuentra la técnica Time-Interleaving [1].

La técnica Time-Interleaving permite aumentar la velocidad de operación de sistemas de adquisición de señales mediante el uso paralelo de múltiples ADCs idénticos. Cada ADC recibe señales de reloj desfasadas y se activa de manera alternada, logrando una frecuencia de muestreo mayor que la de cada conversor individual.

El problema de esta técnica radica en la introducción de distorsión en la señal muestreada, debido a que los ADCs no son exactamente idénticos. Los errores de desajuste de cada ADC (error temporal (jitter), error de offset de amplitud y error de ganancia) generan variaciones en la toma de muestras [2]. Estas variaciones, repetidas periódicamente debido a la selección alternada de los convertidores, producen tonos interferentes en el espectro, que disminuyen el SFDR (*Spurious-Free Dynamic Range*).

En este contexto, investigaciones recientes en arquitecturas time-interleaved muestra un marcado avance en el desarrollo de técnicas de calibración digital orientadas a compensar los desajustes entre canales y mejorar el desempeño dinámico del sistema. En [3] se presenta un esquema de calibración digital completamente integrado en chip capaz de suprimir tonos de desajuste en convertidores basados en tiempo de múltiples canales, mientras que en [4] se propone una técnica feedforward basada en la correlación entre canales y en la propiedad de conjugación de los espurios, logrando mejoras significativas en métricas como SNDR y SFDR mediante una arquitectura de corrección coarse-fine. De forma complementaria, enfoques totalmente digitales basados en filtrado adaptativo han sido explorados en [5], donde se emplean aproximaciones FIR de primer orden para la compensación de errores temporales. Asimismo, en el ámbito de receptores de comunicaciones digitales, el trabajo de [6] demuestra experimentalmente un método de calibración basado en re-

tropropagación del error aplicable a ADCs intercalados de banda ancha. La evolución de estas arquitecturas también se evidencia en implementaciones físicas de alta velocidad y bajo consumo, como el ADC SAR de 4 GS/s reportado en [7]. En conjunto, estos desarrollos reflejan que la problemática de desajustes en ADCs time-interleaved continúa siendo un área activa de investigación, donde coexisten enfoques de calibración digital, optimización arquitectónica e implementación física. Dentro de estas estrategias, la randomización en la selección de canales se presenta como una alternativa particularmente atractiva, al permitir la dispersión espectral de los tonos espurios sin requerir complejos esquemas de estimación o corrección explícita [8], [9]. Esta técnica consiste en elegir aleatoriamente el convertor que se activa en cada ciclo de reloj, lo que dispersa espectralmente el tono interferente y mejora el SFDR global del sistema.

Por otro lado, el generador de secuencias pseudoaleatorias (PRNG) empleado puede influir significativamente en el resultado. Las propiedades estadísticas de cada PRNG (como la longitud de período, la uniformidad de la distribución o la correlación entre muestras consecutivas) afectan la distribución espectral del ruido introducido por la aleatorización y, en consecuencia, el nivel de distorsión residual.

En este contexto, resulta fundamental estudiar sistemáticamente cómo distintos PRNG modulan el comportamiento del sistema. Un banco de pruebas experimental permite caracterizar y comparar estos generadores en términos de SFDR y distorsión total, proporcionando evidencia empírica para optimizar la selección de secuencias en arquitecturas time-interleaved.

Este trabajo propone una actualización y optimización de un banco de prueba experimental previamente desarrollado en [10], [11], en el cual se diseñó una placa de adquisición basada en la técnica de Time-Interleaving, integrada por cuatro ADCs, una etapa de adecuación de la señal y lógica de control mediante la FPGA. En el banco de prueba original, el sistema estaba limitado a utilizar únicamente los generadores pseudoaleatorios implementados dentro de la FPGA, por lo que no era posible inyectar secuencias pseudoaleatorias externas, como las generadas desde una PC. En esta nueva implementación, se rediseña la lógica de control de la FPGA, incorporando la capacidad de recibir secuencias PRNG generadas desde la PC, aumentando la cantidad de muestras a tomar y automatizando las mediciones a partir de la interfaz gráfica. El banco se compone de una interfaz gráfica portable en PC que permite la comunicación con la FPGA para ajustar la adquisición y graficar la señal en el tiempo y el espectro de potencia. Por otro lado, la lógica de control en la FPGA también se encarga de almacenar las muestras en una memoria SDRAM (IS42S16160G) externa al chip, ubicada en la placa de desarrollo DE0-Nano [12]. Finalmente, el trabajo propone mejoras adicionales para el diseño de una nueva placa de adquisición.

## II. ARQUITECTURA GENERAL DEL SISTEMA

El banco de pruebas desarrollado, que se muestra en la Fig. 1, se basa en una arquitectura de adquisición *Time-Interleaving* controlada por una FPGA *Intel Cyclone IV E* (EP4CE22F17C6N-7TLA1), integrada en la placa de desarrollo DE0-Nano. Esta plataforma experimental permite analizar el efecto de distintos PRNG y se organiza en varios módulos funcionales que facilitan la adquisición, el procesamiento y el control de los datos.

En particular, el sistema se compone de tres módulos principales: el control digital en FPGA, la etapa analógica de adquisición y el entorno de control en la PC. La DE0-Nano, gestiona la sincronización de muestreo, la comunicación UART con la PC y el control de la memoria SDRAM.

- El bloque de control, implementado en VHDL, incorpora la lógica de selección aleatoria de ADCs, la administración de tiempos de lectura/escritura y la sincronización entre los relojes internos del sistema (60 MHz y 120 MHz). Además, se añade un buffer de 512 posiciones para compatibilizar los tiempos de escritura de la SDRAM, evitando pérdidas de datos durante los ciclos de refresco dinámico.
- La etapa analógica de la placa de adquisición incluye cuatro ADCs dispuestos en topología *Time-Interleaved*, junto con un bloque de adecuación y filtrado.
- La interfaz gráfica de control en la PC se desarrolla en `Python/PyQt5` y permite configurar los parámetros de adquisición, enviar la secuencia pseudoaleatoria desde la PC y calcular el SFDR a partir de la FFT utilizando la librería `pysnr`.

La interacción entre estos tres módulos permite establecer un flujo continuo y coherente de adquisición: la etapa analógica prepara la señal, la FPGA controla el muestreo y el almacenamiento en SDRAM, y el entorno en PC finaliza el proceso mediante la gestión de la comunicación, el análisis espectral y la visualización.

### II-A. Implementación en FPGA

El flujo de datos comienza con la recepción, desde la PC, de una secuencia PRNG que define el patrón de selección de los ADC del sistema *time-interleaved*. La transmisión se realiza a través del enlace UART y la secuencia se envía como un conjunto de valores (por ejemplo, bits o palabras) de longitud configurable, consistente con la cantidad de muestras a adquirir. Una vez recibida, la FPGA almacena la secuencia temporalmente en su RAM interna, de modo de disponer de acceso determinístico y a baja latencia durante la etapa de muestreo.

Durante la adquisición, en cada ciclo de muestreo la lógica de control consulta el elemento correspondiente de la secuencia almacenada y lo utiliza como señal de control para decidir qué convertor se habilita. En particular, dado que el esquema de conmutación impone restricciones para evitar reactivar un mismo ADC antes de un número mínimo de ciclos, la secuencia recibida se interpreta como un patrón binario que selecciona entre los dos convertidores habilitados

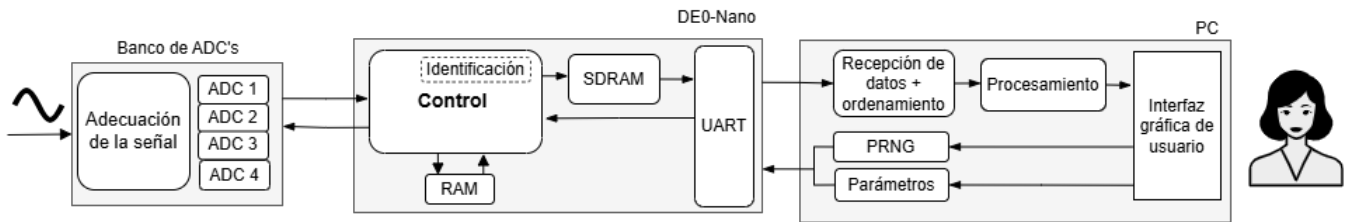


Fig. 1: Arquitectura general del banco de pruebas: la PC envía la secuencia PRNG y parámetros de adquisición; la FPGA DE0-Nano controla la selección de ADCs, sincronización y almacenamiento en SDRAM; la interfaz en PC recibe, reordena y analiza las muestras para estimar el SFDR.

en ese instante. De este modo, la PRNG actúa como entrada externa al sistema y permite ensayar generadores con diferentes propiedades estadísticas, manteniendo fijo el resto de la arquitectura de control.

El código VHDL implementa además el controlador de la memoria externa SDRAM, utilizada para almacenar las muestras digitalizadas, provenientes del banco de ADCs, así como la lógica de comunicación con la interfaz gráfica. La SDRAM posee una capacidad de 32 MB, organizada en 4 bancos de 8192 filas por 512 columnas, con un ancho de palabra de 16 bits. Su frecuencia máxima de operación es de 143 MHz. El dispositivo admite refresco automático o manual y ofrece modos de escritura por ráfagas de 2, 4, 8 o página completa. A partir de estas características, se desarrolla un controlador optimizado que administra los tiempos de activación, lectura/escritura y refresco dinámico de los bancos de memoria, asegurando un flujo continuo de muestras sin pérdidas. El modo de escritura que se utiliza es el de full page (página completa). Sin embargo, el sistema adquiere más muestras de las que pueden almacenarse en una única página de memoria y, además, la SDRAM requiere ciclos de refresco durante los cuales no puede recibir nuevos datos. Para evitar la pérdida de muestras y permitir una adquisición continua, se incorpora un buffer intermedio entre el controlador y la memoria, encargado de almacenar temporalmente las muestras. De esta manera, el buffer permite compatibilizar la velocidad de adquisición (60 MHz) con la velocidad efectiva de escritura en memoria (120 MHz), asegurando la transferencia continua de datos sin pérdida de información. La lectura se realiza de a dos posiciones, para luego enviar los datos a la PC.

En la FPGA también se implementa la lógica de selección del ADC activo, ilustrada en la Fig. 2.

Este esquema de control garantiza que ningún ADC vuelva a ser activado hasta transcurridos al menos dos ciclos desde su última selección, evitando así superar la frecuencia máxima de muestreo permitida para cada convertor. En este caso, como se tiene  $M=4$ , en cada ciclo deben seleccionarse únicamente dos ADC posibles. Por tal motivo, la secuencia PRNG recibida y almacenada en la FPGA se reduce a un patrón binario compuesto exclusivamente por ceros y unos, donde cada bit determina cuál de los dos convertidores habilitados se utiliza en el ciclo correspondiente.

El ADC1175-50 [13] utilizado en la placa de adquisición entrega su salida digitalizada tres ciclos de reloj después de

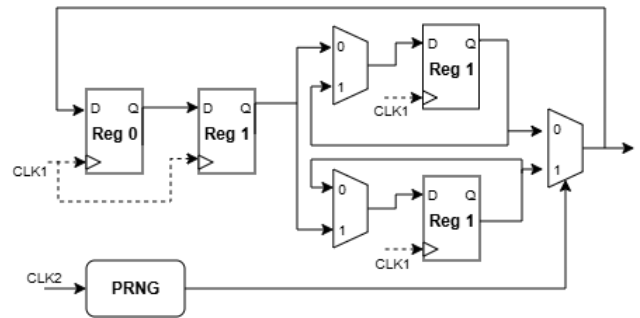


Fig. 2: Lógica de selección de ADCs en la arquitectura time-interleaved aleatoria. La elección se restringe para evitar reactivar un ADC antes de transcurridos al menos dos ciclos, respetando la frecuencia máxima de muestreo de cada convertor.

haber tomado la muestra. Como consecuencia, los datos se almacenan en memoria de manera desfasada respecto del instante real de muestreo. Para resolver este problema, y aprovechando que cada posición de memoria dispone de 16 bits, la FPGA almacena junto con cada muestra un identificador del ADC activo en el momento de la adquisición. De esta forma, se logra un ordenamiento parcial de las muestras, permitiendo que luego puedan reorganizarse completamente en la interfaz gráfica. El código también comunica a la interfaz gráfica, mediante flags (palabras de 8 bits), el estado actual del proceso de muestreo. En la Fig. 3 se presenta un diagrama en bloques que ilustra el control implementado en la FPGA.

### II-B. Interfaz de Control y Adquisición

La interfaz gráfica se desarrolla utilizando el lenguaje de programación Python y el entorno de diseño Qt Designer. Las librerías PyQt5 y Matplotlib se emplean para implementar los controles interactivos y las funcionalidades de visualización, permitiendo configurar y visualizar el proceso de adquisición. La aplicación se empaqueta como un ejecutable mediante PyInstaller, lo que facilita su uso como herramienta portable para PC.

La interfaz gráfica permite al usuario configurar y supervisar el proceso de adquisición de manera intuitiva y segura. Desde la interfaz se puede seleccionar la secuencia PRNG (almacenada en un archivo de texto) a enviar a la FPGA y definir la cantidad de muestras entre cinco opciones (1024, 16384, 65536, 262144 y 524288). La comunicación con la placa de adquisición se realiza mediante la librería serial a 115 200 baudios, utilizando una configuración

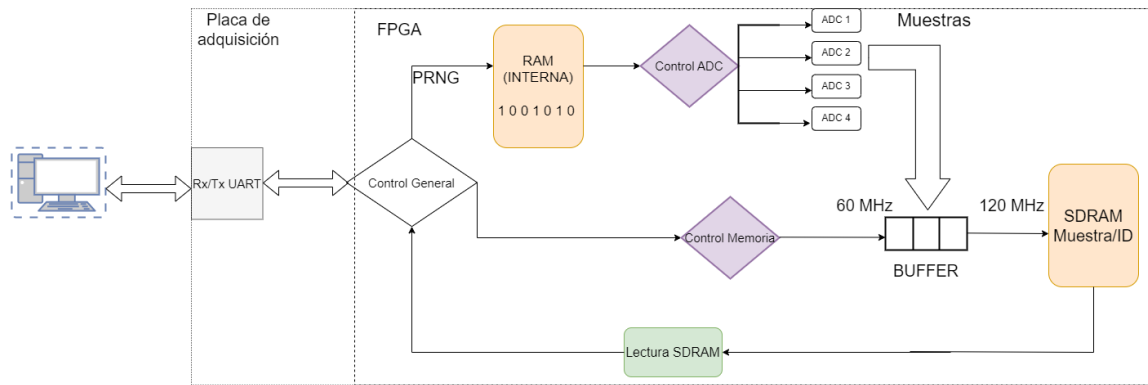


Fig. 3: Diagrama en bloques del control en FPGA: recepción de PRNG por UART, almacenamiento temporal en RAM interna, lógica de selección de ADC, empaquetado de muestra+ID de ADC, buffer intermedio y controlador SDRAM en modo full-page, y lectura para transmisión a la PC.

8N1 (1 bit de inicio, 8 bits de datos, 1 bit de parada y sin paridad). Considerando que cada muestra transmitida está compuesta por un byte de dato y un byte de identificación, la transferencia del máximo de 524 288 muestras implica el envío de 1 048 576 bytes (10 485 760 bits efectivos), lo que resulta en un tiempo aproximado de 90 segundos por ensayo.

La interfaz gráfica posee un flujo de datos bidireccional. Inicialmente, antes de establecer la conexión con la FPGA, permite al usuario configurar los parámetros de adquisición, incluyendo la cantidad de muestras y la secuencia PRNG. Una vez realizada esta configuración, se establece la comunicación con la placa DE0-Nano, que controla la adquisición en la placa de captura y aplica los parámetros seleccionados. En el flujo inverso, los datos adquiridos por la placa Time-Interleaving se envían a la FPGA, donde se almacenan en la SDRAM y se organizan internamente. Posteriormente, la interfaz recibe las muestras, las ordena y ofrece la opción de guardarlas en un archivo de texto en la PC. Finalmente, la señal se visualiza en tiempo real tanto en el dominio temporal como en el espectro de potencia, y se calcula la SFDR utilizando la librería `pysnr` [14], a partir del espectro de potencia obtenido mediante una FFT con ventana Kaiser ( $\beta = 38$ ).

Para evitar errores de operación, la interfaz incorpora un mecanismo dinámico de bloqueo de la botonera: los controles se habilitan o deshabilitan progresivamente según el estado de comunicación y el avance del proceso, notificando al usuario mediante cuadros de texto el estado de la adquisición. En la Fig. 4 se muestra el diseño de la interfaz gráfica, y en [15] se puede acceder al código fuente.

### II-C. Mejoras de Hardware

Se verifican tres optimizaciones sobre la placa de adquisición original para una futura implementación:

- **Integridad de señal de reloj:** se agrega una resistencia serie calculada experimentalmente ( $180\ \Omega$ ) entre la FPGA y los ADC para mitigar *ringing* y *overshoot*, lo que permite aumentar la frecuencia de muestreo hasta 72 MHz. En el diseño original, al aumentar la frecuencia de muestreo, la señal de reloj generada por

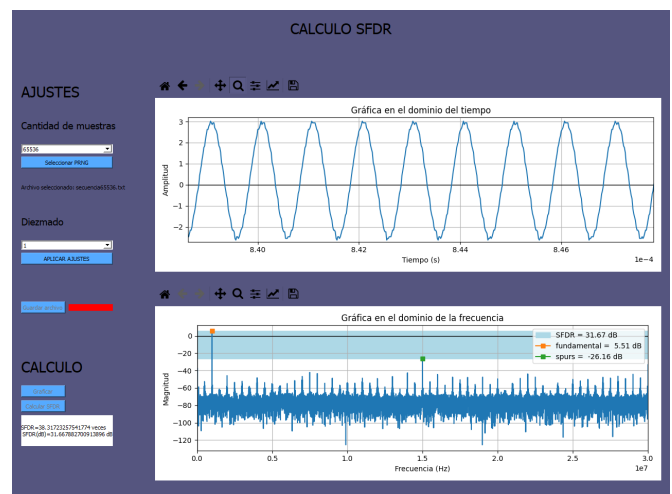


Fig. 4: Interfaz gráfica desarrollada en Python/PyQt5 para configurar la adquisición, cargar la secuencia PRNG, visualizar la señal en el tiempo y en el espectro, y calcular el SFDR a partir de la FFT (ventana Kaiser,  $\beta = 38$ ).

la FPGA presenta *ringing* y *overshoot* en las líneas que conducen a cada ADC. Estos efectos producen errores de muestreo cuando se intenta operar el sistema a frecuencias mayores.

- **Etapa de adecuación y filtrado:** la etapa de entrada de la placa original se compone de un bloque de atenuación  $\times 10$ , implementado mediante una red resistiva-capacitiva que asegura una elevada impedancia de entrada, seguido de un buffer en configuración seguidor de tensión realizado con un amplificador operacional LM7171 [16]. Este buffer desacopla la etapa de atenuación del filtro antialiasing posterior, el cual se implementa mediante un filtro pasabajos en cascada de segundo orden utilizando dos amplificadores operacionales adicionales del mismo modelo. En la Fig. 5 se presenta un esquema de esta etapa de adecuación y filtrado.

El uso del amplificador LM7171 en la configuración de buffer introduce una variación apreciable del offset de continua en función de la temperatura. Esta deriva se

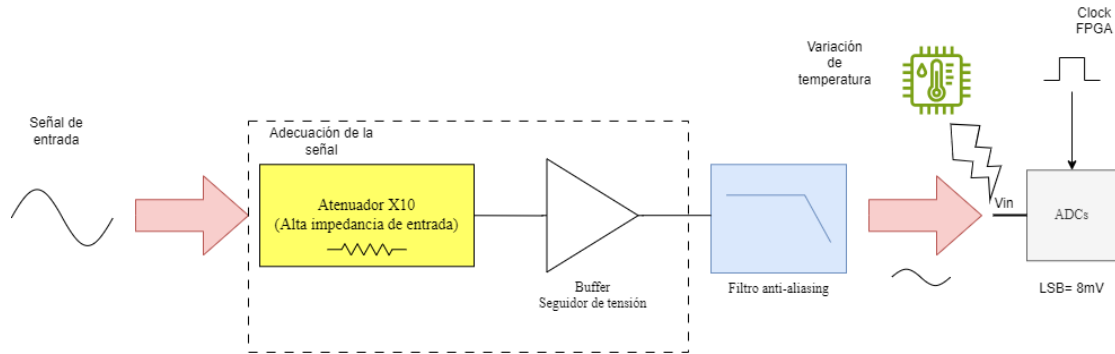


Fig. 5: Etapa analógica original de adecuación y filtrado: atenuación  $\times 10$ , buffer con LM7171 y filtro antialiasing pasabajos en cascada. El rediseño propuesto reemplaza el buffer por LMH6611 para reducir deriva térmica de offset y utiliza un filtro pasabajos multi-feedback de segundo orden.

asocia principalmente a cambios en la corriente de *bias* del dispositivo, que, debido al elevado valor resistivo presente en la entrada no inversora de la etapa de atenuación, se traducen en un desplazamiento del nivel de continua superior a 8 mV, equivalente a un LSB del ADC empleado. Como consecuencia, esta deriva térmica introduce errores en la adquisición de la señal. Una solución aplicada inicialmente consiste en reducir el valor de la resistencia de entrada, disminuyendo así el efecto de la corriente de *bias* sobre el offset. Sin embargo, esta modificación compromete la impedancia de entrada del sistema, una característica que se busca preservar.

Como alternativa superadora, se rediseña la etapa de entrada reemplazando el amplificador LM7171 por un LMH6611 [17]. Este dispositivo presenta una variación de corriente de *bias* significativamente menor frente a cambios de temperatura, lo que permite estabilizar el nivel de continua y, al mismo tiempo, restituir y aumentar la impedancia de entrada del circuito. Asimismo, la etapa de filtrado en cascada se reemplaza por un único filtro pasabajos de segundo orden con topología *multi-feedback*, implementado con un amplificador LM7171 y una frecuencia de corte de aproximadamente 36 MHz, superior a la de la placa original (30 MHz).

- **Optimización de PCB:** se reduce el área total de la placa en aproximadamente un 10 %, integrando las mejores analógicas propuestas y eliminando componentes redundantes presentes en la versión original. El nuevo diseño se desarrolla en *Altium Designer* [18], aplicando criterios estrictos de integridad de señal, distribución de planos de alimentación y control de impedancias, garantizando así una arquitectura más compacta, ordenada y preparada para una futura implementación física del sistema.

En la Fig. 6 se muestra el diseño de PCB del sistema. La región sombreada en azul corresponde a la etapa de adecuación y filtrado de señal, compuesta por los amplificadores U10 (LMH6611) y U11 (LM7171). Asimismo, la zona resaltada en rojo identifica las resistencias añadidas entre los pines GPIO de la FPGA y cada ADC.

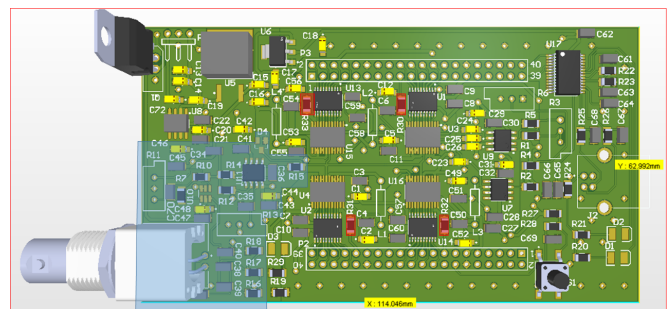


Fig. 6: Diseño de PCB propuesto: en azul, la etapa analógica de adecuación y filtrado; en rojo, resistencias serie entre GPIO de la FPGA y los ADCs para mejorar integridad del reloj y habilitar mayor frecuencia de muestreo.

### III. VALIDACIÓN DEL CONTROL DE MEMORIA Y COMUNICACIÓN

Antes de la integración final, se realizan ensayos unitarios del controlador SDRAM y de la comunicación con la PC. Se emplea un módulo UART–USB conectado al GPIO de la FPGA, logrando un enlace estable a 115 200 baudios. Con esta interfaz se valida la escritura y lectura en modo full-page (512 posiciones), enviando comandos desde la PC mediante Docklight [19].

El controlador de memoria permite almacenar y recuperar más de 500 000 muestras por ensayo, manteniendo la coherencia temporal entre el flujo de adquisición (60 MHz) y el de escritura (120 MHz). La simulación del sistema completo en *ModelSim* confirma la correcta correspondencia entre la secuencia pseudoaleatoria enviada desde la interfaz y el orden de muestreo de los ADCs.

Finalmente, el conjunto es validado experimentalmente sobre la placa DE0-Nano, comprobándose la lectura secuencial desde la SDRAM y la transmisión de las muestras hacia la PC sin pérdida de información.

### IV. ENSAYOS DE DESEMPEÑO COMPARATIVO

Para evaluar la efectividad del sistema, se realizaron mediciones utilizando distintos generadores pseudoaleatorios, incluyendo LFSR y secuencias producidas en MATLAB. Además, se emplean otro tipos de señales (como diente

de sierra o cuadrada) con el fin de observar el proceso de adquisición y su representación en el dominio temporal. El análisis de los espectros obtenidos muestra una disminución notable de los tonos espurios cuando se emplea selección aleatoria de ADCs, alcanzando mejoras en el SFDR de hasta 18 dB respecto al muestreo periódico.

Asimismo, se analizaron y validaron de manera independiente cada propuesta de mejora en la etapa analógica (principalmente la incorporación de resistencias serie de 180 Ω en las líneas de reloj y el rediseño del filtro de entrada con frecuencia de corte de 36 MHz) que permitirían aumentar la frecuencia efectiva de muestreo hasta 72 MHz.

La validación de la resistencia serie se realiza mediante una placa experimental que replica la salida de reloj de la FPGA a través de un GPIO y un capacitor SMD que emula la capacidad de entrada del ADC. La resistencia se intercala entre ambos nodos y se efectúan las mediciones correspondientes, mientras que el valor óptimo de 180 Ω se define previamente a partir de simulaciones en LTspice.

Por su parte, el desempeño del nuevo filtro pasabajos y de la etapa de adecuación se verifica mediante una placa experimental en tecnología SMD que integra la etapa de atenuación y el filtro rediseñado. La respuesta en frecuencia se mide utilizando un analizador de espectro, confirmando el correcto funcionamiento del conjunto y la frecuencia de corte establecida.

Adicionalmente, para analizar la estabilidad térmica de la etapa de atenuación, se monta un banco compuesto por un voltímetro y una fuente de aire caliente regulable, utilizada para incrementar de manera controlada la temperatura del circuito. Las mediciones, realizadas a la salida del conjunto de ambas etapas, evidencian una variación de offset inferior a 5 mV en el rango de 30 °C a 65 °C, manteniendo la linealidad y estabilidad del sistema.

## V. RESULTADOS Y DISCUSIÓN

Las pruebas experimentales se realizan sobre el PCB original de adquisición, empleando una señal senoidal de 1 MHz con diferentes secuencias pseudoaleatorias cargadas desde la interfaz. Se evalúan PRNGs lineales (LFSR) compuestos por secuencias de 65 536 valores (equivalentes a la cantidad de muestras adquiridas). Para modificar el grado de aleatoriedad de la secuencia, se emplean polinomios primitivos de longitudes entre 3 y 16 bits, variando así la posición de los *taps* del registro, cada uno con un estado inicial distinto. Además, se analizan secuencias generadas mediante funciones aleatorias de MATLAB como la *rand*. Para cada ensayo, el SFDR se calcula y grafica utilizando la librería mencionada previamente, la cual realiza la Transformada Rápida de Fourier (FFT) aplicando una ventana Kaiser con parámetro  $\beta = 38$ , manteniendo este criterio de procesamiento en todas las comparaciones con el fin de garantizar la consistencia y reproducibilidad de los resultados.

El sistema alcanza una transmisión estable a 115 200 baudios, permitiendo almacenar hasta 524 288 muestras por ensayo. Los resultados muestran una reducción notable de

los tonos espurios cuando se aplica selección aleatoria de ADCs, logrando mejoras en el SFDR de hasta 18 dB respecto al muestreo periódico. La Fig. 7 ilustra la diferencia en los espectros obtenidos al comparar una secuencia periódica con una generada mediante la función *rand* de MATLAB, configurada para tener la misma longitud que la cantidad de muestras adquiridas, es decir, 65 536 valores.

En la Fig. 8 se presenta la comparación entre secuencias generadas mediante LFSR con distintos polinomios primitivos. En primer lugar, se analiza un LFSR de 16 bits, cuyo polinomio primitivo produce una secuencia de período máximo, de longitud  $2^{16} - 1$ , lo que garantiza un alto grado de aleatoriedad. Asimismo, se evalúa un LFSR de 12 bits, cuyo período reducido  $2^{12} - 1$  implica una mayor repetición de la secuencia. En ambos casos, los resultados obtenidos son comparables a los generados mediante la función *rand* de MATLAB.

Al reducir aún más la longitud del registro y emplear polinomios primitivos de 10 y 8 bits, se observa en la Fig.

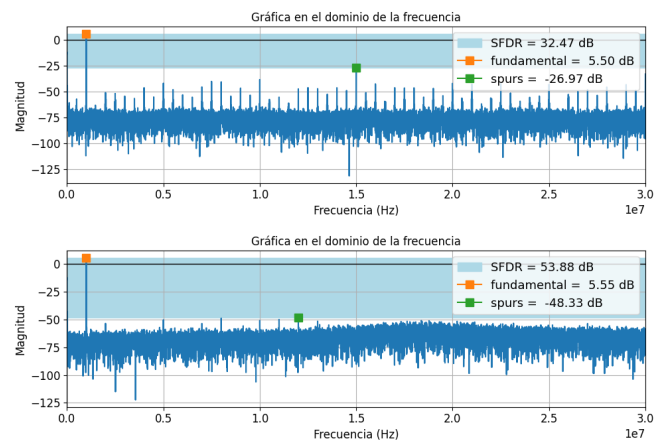


Fig. 7: Comparación de espectros de potencia para  $N = 65\,536$  muestras y señal senoidal de 1 MHz: (arriba) selección periódica de ADCs; (abajo) selección aleatoria usando secuencia generada con *rand* de MATLAB. La randomización dispersa componentes espurias y mejora el SFDR.

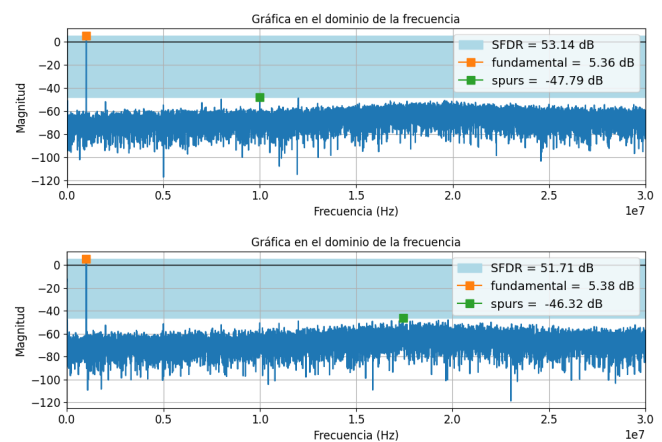


Fig. 8: Espectros de potencia con selección aleatoria basada en LFSR: (arriba) LFSR de 16 bits (período máximo  $2^{16} - 1$ ); (abajo) LFSR de 12 bits ( $2^{12} - 1$ ). Para longitudes altas, el desempeño en SFDR resulta comparable al de secuencias pseudoaleatorias generadas en MATLAB.

9 que la SFDR comienza a disminuir. Esto se debe a que una menor longitud del LFSR reduce la aleatoriedad de la secuencia, haciendo más visibles las componentes espurias asociadas a la técnica de *time-interleaving*.

Finalmente, al emplear polinomios primitivos de 5 y 3 bits, la SFDR converge hacia la obtenida para una señal de muestreo estrictamente periódica, como se observa en la Fig. 10. En este caso, la longitud reducida del LFSR disminuye significativamente la aleatoriedad de la secuencia, lo que realza las componentes asociadas al *time-interleaving* y hace que los tonos spurious correspondientes se manifiesten con mayor claridad en el espectro.

En la Fig. 11 se presenta el gráfico de SFDR correspondiente al ADC ADC1175-50, obtenido de su hoja de datos. Para una señal de entrada de 1.3 MHz, a una temperatura de 30 °C y con una frecuencia de muestreo de 50 MHz, se observa que un ADC individual alcanza una SFDR del orden de 56 dB. En comparación, al emplear secuencias altamente aleatorias para la conmutación de los cuatro ADC del sistema *time-interleaved*, se obtiene una SFDR de hasta 55 dB, valor

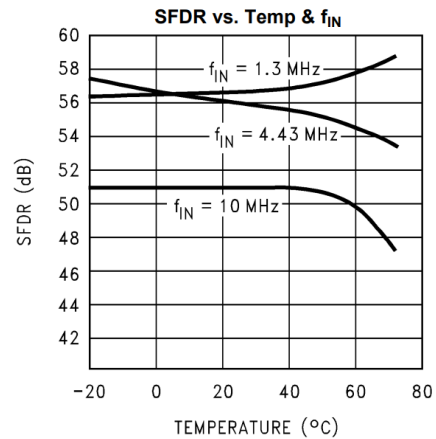


Fig. 11: SFDR del ADC1175-50 reportado por el fabricante (Texas Instruments) como referencia de desempeño para un convertor individual. Se utiliza para contrastar el SFDR del sistema *time-interleaved* bajo distintas secuencias de selección.

muy cercano al especificado para un único convertor.

Respecto a las mejoras de hardware, tal como se menciona previamente, la incorporación de una resistencia de 180 Ω entre la salida del reloj y cada ADC permite incrementar la frecuencia de muestreo del sistema. En esta configuración, el principal factor limitante pasa a ser la velocidad de la memoria SDRAM, que admite un reloj máximo de 143 MHz. Dado que para un funcionamiento correcto la frecuencia de la SDRAM debe ser el doble de la frecuencia de muestreo, el sistema puede operar con una frecuencia de muestreo de hasta aproximadamente 72 MHz. En conjunto con esta modificación, se integra un filtro pasabajos de segundo orden con respuesta plana hasta 35 MHz, adecuado para el nuevo régimen de operación. Asimismo, la incorporación de un nuevo amplificador operacional en la etapa de entrada incrementa la impedancia de entrada del sistema, manteniendo el error de offset térmico por debajo de 5 mV en el rango de temperaturas comprendido entre 30 °C y 65 °C.

Finalmente, todas estas mejoras fueron incorporadas en un nuevo diseño de PCB, logrando una reducción del área del 10%.

## VI. CONCLUSIONES Y TRABAJO FUTURO

El proyecto permitió implementar exitosamente el banco de prueba para sistemas de adquisición *Time-Interleaving*, verificando el efecto de distintas secuencias pseudoaleatorias en la distorsión espectral de la señal (SFDR). Se observaron diferencias en el desempeño según el tipo de secuencia utilizada, lo que confirma la importancia de la selección aleatoria de ADCs para mejorar la calidad de la adquisición.

Como trabajo futuro, se propone evaluar otros generadores de secuencias, con el objetivo de optimizar aún más el SFDR y ampliar el análisis del comportamiento del sistema en distintos escenarios de adquisición.

### DECLARACIÓN DE DISPONIBILIDAD DE DATOS

El software desarrollado para este trabajo, correspondiente a la interfaz utilizada para la adquisición y análisis de señales,

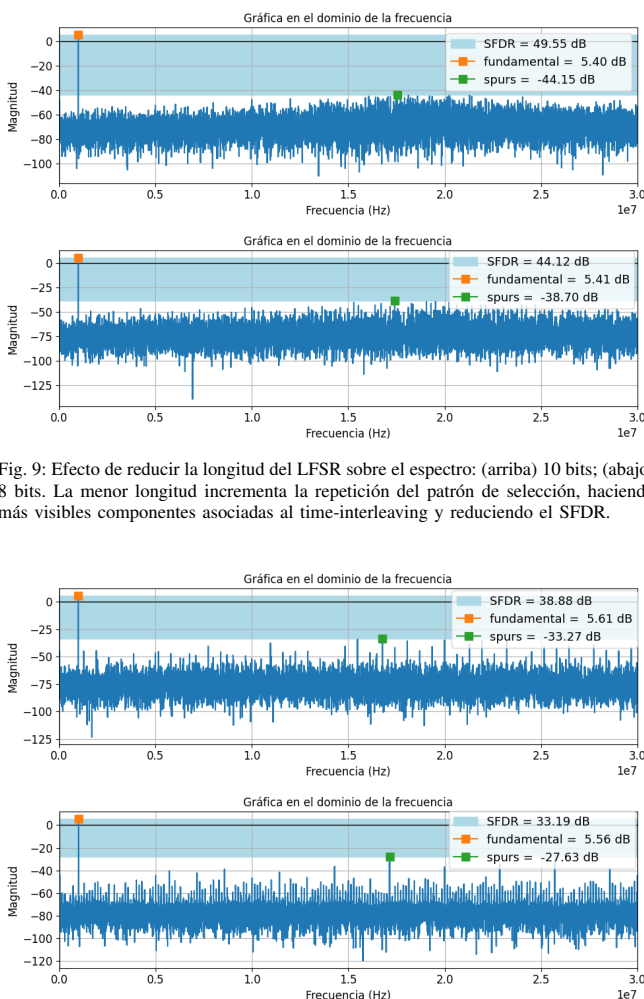


Fig. 9: Efecto de reducir la longitud del LFSR sobre el espectro: (arriba) 10 bits; (abajo) 8 bits. La menor longitud incrementa la repetición del patrón de selección, haciendo más visibles componentes asociadas al *time-interleaving* y reduciendo el SFDR.

Fig. 10: LFSR de longitud reducida: (arriba) 5 bits; (abajo) 3 bits. Al disminuir la aleatoriedad, el espectro converge hacia el caso periódico y las espurias de *interleaving* se realzan, degradando el SFDR.

se encuentra disponible públicamente en [15]. Los datos que respaldan los resultados de este estudio están disponibles a partir del autor de correspondencia previa solicitud razonable.

CREDIT DECLARACIÓN DE CONTRIBUCIÓN DE AUTORÍA

**Ezequiel D. Rodriguez:** Conceptualización; investigación; análisis formal; software; validación; visualización; administración del proyecto; redacción – borrador original. **Matias Medina:** Conceptualización; validación; supervisión; administración del proyecto. **Lucas A. Rabioglio:** Conceptualización; validación; visualización; supervisión; administración del proyecto; redacción – borrador original. **M. Celeste Cebedio:** Validación; visualización; redacción – borrador original. **Luciana De Micco:** Validación; visualización; supervisión; redacción – borrador original.

REFERENCIAS

- [1] S. Louwsma, E. van Tuijl, and B. Nauta, *Time-Interleaved Analog-to-Digital Converters*. Dordrecht, Netherlands: Springer Dordrecht, 2011, doi: <https://doi.org/10.1007/978-90-481-9716-3>.
- [2] J. Elbornsson, F. Gustafsson, and J. Eklund, "Analysis of mismatch effects in a randomly interleaved a/d converter system," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 52, no. 3, pp. 465–476, Mar. 2005, doi: <https://doi.org/10.1109/TCSI.2004.838434>.
- [3] O. Järvinen, I. Kempfi, V. Unnikrishnan, K. Stadius, M. Kosunen, and J. Ryynänen, "Fully digital on-chip wideband background calibration for channel mismatches in time-interleaved time-based adcs," *IEEE Solid-State Circuits Letters*, vol. 5, pp. 9–12, 2022, doi: <https://doi.org/10.1109/LSSC.2022.3145918>.
- [4] W. Xiong, Z. Zhang, L. Lang, and Y. Dong, "A novel fully digital feedforward background calibration technique for timing mismatch in m-channel time-interleaved adcs," *Electronics*, vol. 12, no. 9, p. 1965, 2023, doi: <https://doi.org/10.3390/electronics12091965>.
- [5] J. Hu, Z. Cao, Q. An, L. Zhao, and S. Liu, "A new all-digital background calibration technique for time-interleaved adc using first order approximation fir filters," 2018. [Online]. Available: <https://arxiv.org/abs/1806.09120>
- [6] F. Solis, B. T. Reyes, D. A. Morero, and M. R. Hueda, "Error-backpropagation-based background calibration of ti-adc for adaptively equalized digital communication receivers," *IEEE Access*, vol. 10, pp. 103 013–103 027, 2022, doi: <https://doi.org/10.1109/ACCESS.2022.3208092>.
- [7] B. T. Reyes, L. Biolato, A. C. Galetto, L. Passetti, F. Solis, J. I. Giubilatto, L. A. Reyes, A. F. Bocco, and M. R. Hueda, "Un conversor analógico-digital (adc) sar de 8 bits y 4gs/s con una arquitectura de intercalación temporal de bajo consumo en cmos de 130 nm," in *Conferencia Argentina de Electrónica (CAE)*, Buenos Aires, Argentina, 2020, pp. 77–81, doi: <https://doi.org/10.1109/CAE48787.2020.9046376>.
- [8] G. Manganaro and D. Robertson, "Interleaving adcs: Unraveling the mysteries," *Analog Dialogue*, vol. 49, no. 7, 2015. [Online]. Available: <https://www.analog.com/en/resources/analog-dialogue/articles/interleaving-adcs.html>
- [9] C. Vogel and H. Johansson, "Time-interleaved analog-to-digital converters: Status and future directions," in *Proceedings of the IEEE International Symposium on Circuits and Systems (ISCAS)*. IEEE, 2006, pp. 3389–3392, doi: <https://doi.org/10.1109/ISCAS.2006.1693352>.
- [10] M. Medina, "Desarrollo de placa de adquisición basada en "time interleaving"," 2022. [Online]. Available: <https://rinfi.fi.mdp.edu.ar/handle/123456789/766>
- [11] M. Medina, R. Lopresti, G. Zabaleta, L. Rabioglio, and L. De Micco, "Implementación de placa adquisidora para el estudio de la técnica de time interleaving aleatorio," in *Congreso Argentino de Sistemas Embebidos (CASE)*, La Plata, Argentina, 2022.
- [12] *DE0-Nano User Manual*, Terasic Inc., 2016.
- [13] *ADC1175-50: 8-Bit, 50 MSPS Analog-to-Digital Converter*, Texas Instruments, 2001, datasheet. [Online]. Available: <https://www.ti.com/lit/ds/symlink/adc1175.pdf>
- [14] S. Paul, "Pysnr," Zenodo, Jun. 2022, doi: <https://doi.org/10.5281/zenodo.6725547>.
- [15] E. Rodriguez, "Tf-interfaz-er: Interfaz para adquisición y análisis de señales," GitHub, 2025. [Online]. Available: <https://github.com/Ezero driguez18/TF-INTERFAZ-ER>
- [16] Texas Instruments, "Lm7171 high speed, low distortion operational amplifier," 2016, datasheet. [Online]. Available: <https://www.ti.com/lit/ds/symlink/lm7171.pdf>
- [17] *LMH6611: High-Speed, Low-Noise Operational Amplifier*, Texas Instruments, datasheet.
- [18] Altium Limited, "Altium designer," 2024, software de diseño de circuitos impresos. [Online]. Available: <https://www.altium.com/altium-designer>
- [19] Flachmann und Schmitt, "Docklight – serial communication tool," 2024, software de análisis y prueba de comunicaciones serie. [Online]. Available: <https://www.docklight.de>